

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07131819 A**(43) Date of publication of application: **19.05.95**

(51) Int. Cl.

**H04N 9/78**(21) Application number: **05270408**(22) Date of filing: **28.10.93**(71) Applicant: **TOSHIBA CORP**(72) Inventor:  
**OISHI KAZUYUKI  
KONISHI KAZUO  
NAKA HIDEYUKI**(54) **NONSTANDARD SIGNAL DETECTING CIRCUIT  
FOR VIDEO SIGNAL**

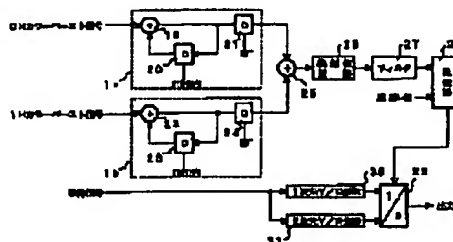
the time of the standard signal.

COPYRIGHT: (C)1995,JPO

(57) Abstract

**PURPOSE:** To decrease the circuit scale by finding the correlation between lines directly from color burst signals of a video signal without using any APC circuit.

**CONSTITUTION:** Color burst signals of 0H and 1H extracted from video signals of adjacent lines are integrated by integrators 1a and 1b with a clock generated from a horizontal synchronizing signal. An adder 25 adds the outputs of the integrators 1a and 1b together. A comparator 28 compares the addition result of the adder 25 with a specific reference value, and whether the signal is a nonstandard signal or a standard signal is detected on the basis of the result of the comparator 28 to control a selector circuit 29, thereby selecting the output signal of a linear Y/C separating circuit 30 at the time of the nonstandard signal or the output signal of a two-dimensional Y/C separating circuit 31 at



Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131819

(43) 公開日 平成7年(1995)5月19日

(51) Int. Cl.<sup>6</sup>  
H 0 4 N 9/78

識別記号 庁内整理番号  
Z

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平5-270406

(22) 出願日 平成5年(1993)10月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大石 一幸

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 小西 和夫

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 中 秀之

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

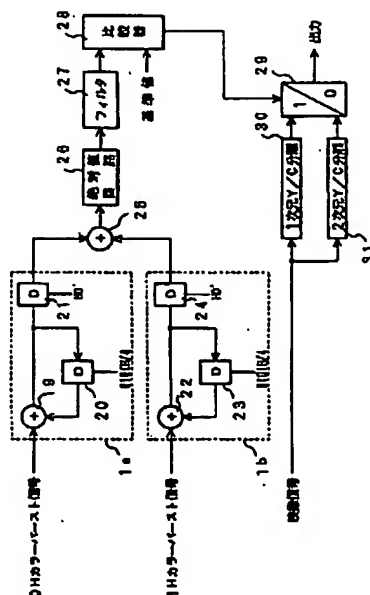
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 映像信号の非標準信号検出回路

(57) 【要約】

【目的】 APC回路を用いずに映像信号のカラーバースト信号から直接にライン間の相関を求める構成とし、回路規模の削減を図る。

【構成】 積分器1a、1bを用いて隣接するラインの映像信号から取り出したOHと1Hのカラーバースト信号を水平同期信号から生成したクロックによりそれぞれ積分する。積分器1a、1bの出力を加算器25により加算する。加算器25の加算結果と所定基準値とを比較器28を用いて比較し、比較器28の結果にもとづいて非標準信号か標準信号かを検出してセレクタ回路29を制御し、非標準信号時には1次元Y/C分離回路3.0の出力信号を、標準信号時には2次元Y/C分離回路3.1の出力信号を選択する。



Best Available Copy

## 【特許請求の範囲】

【請求項1】 隣接するラインの映像信号から取り出したカラーバースト信号を水平同期信号から生成したクロックによりそれぞれ積分する第1および第2の積分器と、  
前記第1および第2の積分器の出力を加算する加算器と、  
前記加算器の加算結果をある基準値と比較する比較器と、  
前記比較器の結果により非標準信号を検出する検出手段とを備えてなることを特徴とする映像信号の非標準信号検出回路。

【請求項2】 前記加算結果と前記基準値とを比較する手段に、ヒステリシス特性を持たせたことを特徴とする請求項1記載の映像信号の非標準信号検出回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、テレビジョン受像機に用いられる映像信号の非標準信号検出回路に関する。

【0002】

【従来の技術】VTRやゲーム機の普及によりテレビジョン受像機への入力ビデオ信号には非標準信号も加わってきた。本来、VTRの録再生信号は周波数インターリーブ関係があり、標準信号となっているが、テープの伸び縮みやメカ系のジッターにより周波数インターリーブ関係が崩れ、非標準信号となってしまう。特に、早送り再生や巻き戻し再生時には、ヘッドがテープ上のトラックをまたがってしまい、上記関係の崩れ方が顕著になる。

【0003】この非標準信号をカラーロックで動作しているY/C分離回路にてYとCの分離を行うと、輝度信号に色信号の成分が残ってしまい、ドットとなって画面上に現れる。このような弊害を取り除くためには、ライン間の相関関係を用いていない1次元のY/C分離を用いるのが望ましい。しかし、1次元Y/C分離では標準信号時にクロスカラービートが現れる弊害を生じる。そこで、非標準信号時と標準信号時に1次元Y/C分離回路と2次元Y/C分離回路を切り換えて、これらの影響を取り除くようにする。このために非標準信号の検出が必要になってくる。

【0004】図9は従来の映像信号の非標準信号を検出するための検出回路を説明するための回路構成図である。入力inより入力された映像信号のサブキャリア信号をAPC回路1に入力し、映像信号内のカラーバースト信号に位相同期したサブキャリア信号を生成する。クロック発生回路2にてサブキャリア信号からサブキャリア信号の4倍の周波数のシステムクロックを生成する。サブキャリア信号をシステムクロックにてA/Dコンバータ3にてデジタルデータに変換する。そのデジタルデータを1ライン遅延する1H遅延回路4および加算器6

に入力する。1H遅延回路4にて1ライン分遅延された信号は、1フレーム遅延する1F遅延回路5と加算器7に入力する。加算器6の出力はサブキャリア信号のライン間の差分信号を、加算器7にはフレーム間の差分信号を出力する。

【0005】入力信号が標準信号であれば、サブキャリア信号は隣接ライン間で反転し、かつ隣接フレーム間でも反転することになる。このとき加算器6、7の出力は0になる。入力信号が非標準信号であれば、サブキャリア信号は隣接ライン間および隣接フレーム間で不規則な位相関係になる。このとき加算器6、7の出力は変動する。

【0006】加算器6の出力はバンドパスフィルタ回路8にてノイズ成分の除去を行い、絶対値回路10にて無極性のデータに変換し、積分器12にて時間的な平均値に変換して比較器14に入力する。比較器14の他方の入力には基準値保持回路16からの基準値を入力する。

【0007】同様に加算器7の出力は、バンドパスフィルタ回路9にてノイズ成分の除去を行い、絶対値回路11にて無極性のデータに変換し、積分器13にて時間的な平均値に変換して比較器15に入力する。比較器15の他方の入力には、基準値保持回路17からの基準値を入力する。比較器14、15では基準値保持回路16、17の基準値との比較を行い、基準値を越えた場合に非標準信号であるという判定を判定回路18で行い、それに応じた論理値を出力outより出力する。

【0008】このように、カラーサブキャリア信号を用いて非標準信号の検出を行う場合には、カラーバーストに同期したサブキャリア信号の発生用のAPC回路が必要になる。APC回路をデジタル回路で実現しようとすると、A/Dコンバータが必要になり、かつ回路規模が増大してしまい、これをIC化する場合にはチップサイズが増大し、コストアップにつながる問題があった。

【0009】

【発明が解決しようとする課題】上記した従来の映像信号の非標準信号検出回路は、カラーサブキャリア信号を用いて非標準信号の検出を行う場合にはカラーバーストに同期したサブキャリア信号の発生用のAPC回路が必要になる。APC回路をデジタル化しようとすると、A/Dコンバータが必要になって回路規模が増大してしまい、IC化した場合でもチップサイズが増大してコストアップにつながる問題があった。

【0010】この発明は、APC回路を用いずに映像信号のカラーバースト信号から直接にライン間の相関を求める構成とし、回路規模の削減を図る。

【0011】

【課題を解決するための手段】この発明の映像信号の非標準信号検出回路は、隣接するラインの映像信号から取り出したカラーバースト信号を水平同期信号から生成したクロックによりそれぞれ積分する積分器と、前記積分

器の出力を加算する加算器と、前記加算器の加算結果をある基準値と比較する比較手段と、前記比較手段の結果により非標準信号を検出する検出手段とを備えてなることを特徴とする。

【0012】

【作用】上記した手段により、映像信号のカラーバースト信号をHロクロックを用いての隣接ライン間の相関関係を求めることにより、非標準信号と標準信号を判別し、この判別結果に基づいて1次元Y/C分離回路と2次元Y/C分離回路とを切り換えることで、ドット妨害等の弊害をなくすることができる。

【0013】

【実施例】以下、この発明の実施例について図面とともに詳細に説明する。図1はこの発明の一実施例を説明するための回路構成図である。図2に示した2次元Y/C分離回路の、映像信号をバンドパスフィルタ回路34を通して得た出力から抜き出したカラーバースト信号を0Hカラーバースト信号とし、映像信号を1H遅延回路32とバンドパスフィルタ回路35を通して得た出力から抜き出したカラーバースト信号を1Hカラーバースト信号として、それぞれこの実施例の入力信号とする。

【0014】0Hカラーバースト信号は、加算器19の一方の入力に供給する。加算器19の出力は、図3の(a)のHロクロック910fH(以下、910fHと略す。)の1/4のクロック(b)で動作するフリップフロップ20および水平同期信号から生成し、(c)に示すカラーバーストゲート信号分だけ遅延させたパルス信号HD'(d)に基づいて動作するフリップフロップ21に供給する。フリップフロップ20の出力は、加算器19の他方の入力に供給する。加算器19、フリップフロップ20、21は積分器1aを構成する。フリップフロップ21の出力、すなわち積分器1aの出力は、加算器25の一方の入力に供給する。

【0015】同様に1Hカラーバースト信号は、加算器22に一方の入力に供給する。加算器22の出力は910fHの1/4のクロックで動作するフリップフロップ23および水平同期信号から生成し、カラーバーストゲート信号分だけ遅延させたパルス信号HD'により動作するフリップフロップ24に供給する。フリップフロップ23の出力は加算器22の他方の入力に供給する。加算器22、フリップフロップ23、24は積分器1bを構成する。積分器1bの出力は、加算器25の他方の入力に供給する。

【0016】この加算器25の出力には隣接ライン間のカラーバースト信号の差分信号を出力する。標準信号時は隣接ライン間では位相が反転しているので、加算器25の出力は0になる。非標準信号時には、図4にあるように910fH/4とカラーバースト信号との間の位相関係が不規則になり、加算器25の出力からはその位相関係に応じたデータを出力する。

【0017】加算器25の出力は、絶対値回路26にて無極性のデータに変換し、1ライン分の時間に比べて非常に長い時定数をもつフィルタ回路27にて時間的な平均化を行う。フィルタ27の出力は比較器28の一方の入力に供給し、他方の入力には予め設定された基準値を供給する。比較器28では両データの大小関係を求め、基準値に対してフィルタ27の出力が大きい場合には非標準信号と判定し、それに応じた論理値を出力する。この論理値をセレクタ回路29の制御信号入力端子に供給し、セレクタ回路29にて非標準信号時には1次元Y/C分離回路30の出力信号を、標準信号時には2次元Y/C分離回路31の出力信号を選択して出力する。

【0018】この実施例では、非標準信号時と標準信号時とにより、1次元Y/C分離回路30と2次元Y/C分離回路31とを切り換えるようにしたため、ドット妨害などの弊害をなくすることが可能となる。これは、特にVTRの早送り再生や巻き戻し再生の場合に用いると効果が大きい。また、1H遅延回路や1フィールド遅延回路の追加が不要であるためIC化する場合には、チップサイズを抑えることができるばかりか、APC回路を不要であるため回路規模的にはさらに有利なものとなる。

【0019】図5は、この発明の他の実施例を説明するための回路構成図である。この実施例は、図6に示すように、クロックは910fH/4だけでなく、位相が90°ずつシフトした4つのクロックCKA~CKDを用い、それに対応した4つの積分器にて加算を行うことにより、非標準の検出精度をさらに上げる構成としたものである。

【0020】図5において、積分器39~46は、図1の積分器1aと同一の構成をしている。積分器39および積分器43は、バーストの位相0°に相当するクロックCKAにより、それぞれ0Hカラーバースト信号および1Hカラーバースト信号を積分して加算器47に供給する。積分器40および積分器44はバーストの位相90°に相当するクロックCKBでそれぞれ0Hカラーバースト信号および1Hカラーバースト信号を積分して加算器48に供給する。積分器41および積分器45はバーストの位相180°に相当するクロックCKCでそれぞれ0Hカラーバースト信号および1Hカラーバースト信号を積分して加算器49に供給する。積分器42および積分器46はバーストの位相270°に相当するクロックCKDでそれぞれ0Hカラーバースト信号および1Hカラーバースト信号を積分して加算器50に供給する。

【0021】加算器47、48、49、50では、それぞれ0°、90°、180°、270°でのカラーバースト信号のライン間位相関係に応じたデータを出力する。加算器47の出力は絶対値回路54に、加算器48の出力は絶対値回路55に、加算器49の出力は絶対値

回路 55 に、加算器 50 の出力は絶対値回路 56 に供給し、無極性のデータに変換する。絶対値回路 54 と絶対値回路 55 の出力をそれぞれ加算器 51 に供給し、 $0^\circ$  での位相関係に応じたデータと  $90^\circ$  での位相関係に応じたデータの加算結果を得る。絶対値回路 56 の出力と絶対値回路 57 の出力を加算器 53 に供給し、 $180^\circ$  での位相関係に応じたデータと  $270^\circ$  での位相関係に応じたデータの加算結果を得る。

【0022】さらに加算器 51 と加算器 53 の出力は加算器 52 に供給して加算し、それに基づき、カラーバースト信号の 1 周期に渡ってライン間の位相関係に応じたデータを得る。これによりバースト信号の 1 周期内の位相誤差の検出も可能となる。この結果を 1 ラインの時間に比べて十分に長い時定数のフィルタ 58 にて時間的な平均化を行う。フィルタ 58 の出力は比較器 59 の一方の入力に供給し、他方の入力には予め設定された基準値を供給する。比較器 59 では両データの大小関係を求め、基準値に対してフィルタ 58 の出力が大きい場合には非標準信号と判定し、それに応じた論理値を出力できる。

【0023】図 7 はこの発明のもう一つの他の実施例を説明するための回路構成図である。この実施例は図 1 の比較器 28 に変えてヒステリシス特性を持った比較器 28' とした部分が図 1 の構成と異なり、他の構成は全く同じである。

【0024】0H カラーバースト信号と 1H カラーバースト信号がそれぞれ供給された積分器 1a、1b は、その出力を加算器 25 にそれぞれ供給し、加算器 25 より隣接ライン間のカラーバーストゲート信号の差分信号を出力する。標準信号時は隣接ライン間では位相が反転しているため、加算器 25 の出力は 0 になる。非標準信号時には、図 4 にあるように  $910 \text{ fH} / 4$  とカラーバースト信号との間の位相関係が不規則になり、加算器 25 の出力にはその位相関係に応じたデータを出力する。

【0025】この加算器 25 の出力は、絶対値回路 26 により無極性のデータに変換し、1 ライン分の時間に比べて非常に長い時定数をもつフィルタ回路 27 にて時間的な平均化を行う。フィルタ 27 の出力はヒステリシス特性をもった比較器 28' の一方の入力に供給する。比較器 28' の他方の入力には、予め設定された基準値を入力する。比較器 28' では両データの大小関係を求め、基準値に対してフィルタ 27 の出力が大きい場合には非標準信号と判定し、それに応じた論理値を出力する。

【0026】ここで、フィルタ 27 の出力信号が外部ノイズなどの影響を受けて図 8 のようになったとすると、この図からもわかるように、判定結果は基準値に対して頻繁に変わる現象が生じる。そこで、比較器 28' に図 8 にあるように高レベルしきい値と低レベルしきい値を

有するヒステリシス特性を持たせたことにより、しきい値にマージンを持ち、ノイズなどの外部からの影響に対して標準・非標準信号の判定が頻繁に変化することなく、判定に応じた論理値を出力できる。この論理値をセクタ回路 29 の制御信号入力端子に入力し、セクタ回路 29 にて非標準信号時には 1 次元 Y/C 分離回路 30 の出力信号を、標準信号時には 2 次元 Y/C 分離回路 31 の出力信号を選択するようにする。

【0027】これにより、外来のノイズなどの影響によりフィルタ 27 の出力信号が、比較器 28' の基準値に対して頻繁に変わることによる標準・非標準信号の判定の誤りを防止することができる。

【0028】この実施例は、上記した実施例に限定されるものではなく、たとえば、図 1 の積分器 1a、1b は、1 ライン分のバーストの積分値を蓄えておくレジスタがあれば、1 つの構成でもよい。また、図 5 の比較器 59 にヒステリシス特性を持たせるとさらなる性能向上を図ることができる。

【0029】

20 【発明の効果】以上説明したように、この発明の映像信号の非標準信号検出回路によれば、比較的簡単な構成により、高精度な非標準信号検出が行うことが可能となる。また、1H 遅延回路や 1 フィールド遅延回路の追加の不要や APC 回路を不必要となるため IC 化に有利となる。

【図面の簡単な説明】

【図 1】この発明の一実施例を説明するための回路構成図。

30 【図 2】図 1 に入力する 0H および 1H カラーバースト信号を生成する 2 次元 Y/C 分離回路を構成図。

【図 3】図 1 の要部の信号波形図。

【図 4】図 1 の動作を説明するための信号波形図。

【図 5】この発明の他の実施例を説明するための回路構成図。

【図 6】図 5 の動作を説明するための信号波形図。

【図 7】この発明のもう一つの他の実施例を説明するための回路構成図。

【図 8】図 7 の動作を説明するための信号波形図。

40 【図 9】従来の非標準を検出する回路を説明するための回路構成図。

【符号の説明】

1a、1b…積分器

25…加算器

27…フィルタ

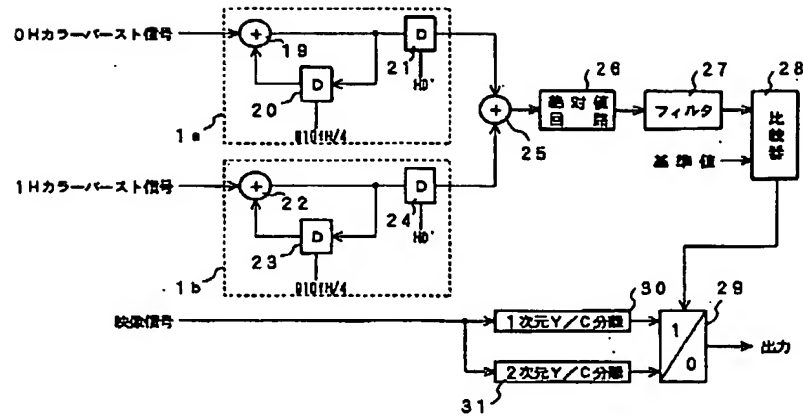
28、28'…比較器

29…セクタ回路

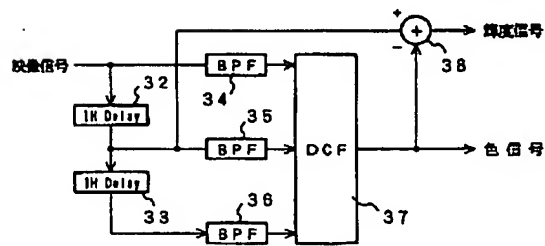
30…1 次元 Y/C 分離回路

31…2 次元 Y/C 分離回路

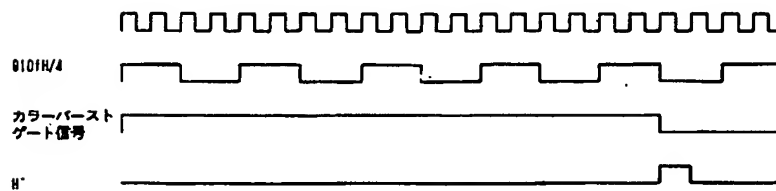
【図1】



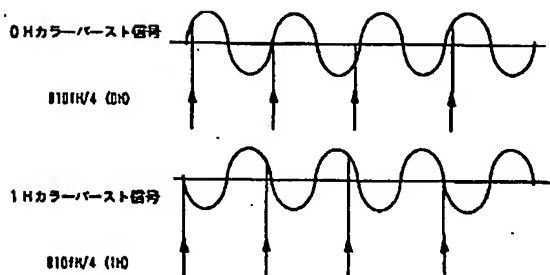
【図2】



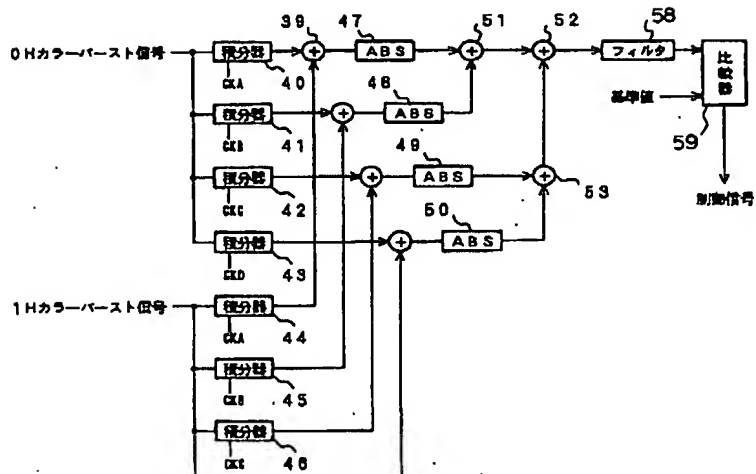
【図3】



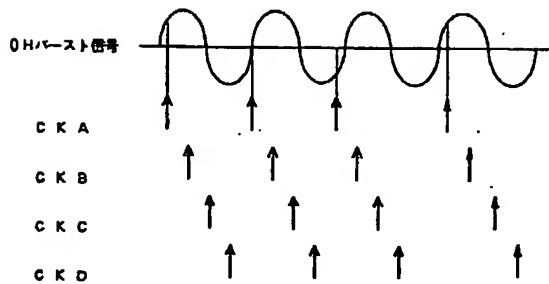
【図4】



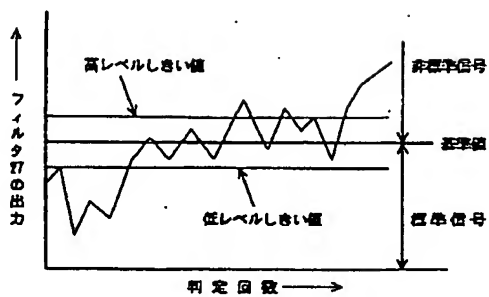
【図5】



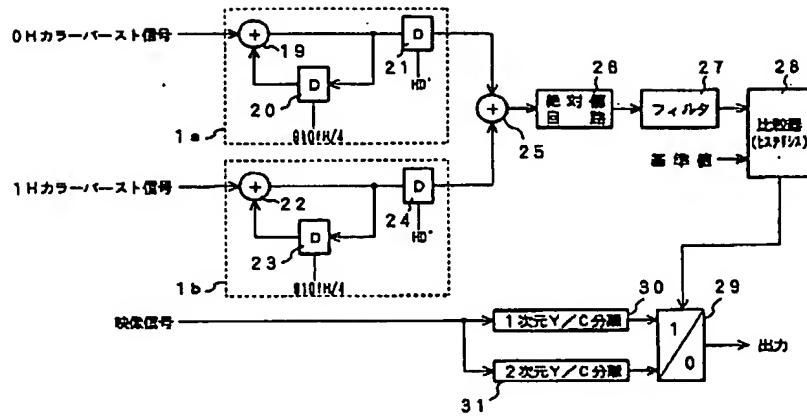
【図6】



【図8】



【図7】



【図9】

